

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-101900

(P2001-101900A)

(43)公開日 平成13年4月13日(2001.4.13)

(51) Int.Cl.⁷
G 1 1 C 29/00
G 0 1 R 31/28
G 1 1 C 11/401

識別記号
6 7 5

F I
G 1 1 C 29/00
G 0 1 R 31/28
G 1 1 C 11/34

テ-マ-ト(参考)
6 7 5 L 2 G 0 3 2
B 5 B 0 2 4
3 7 1 A 5 L 1 0 6
9 A 0 0 1

審査請求 未請求 請求項の数 7 OL (全 21 頁)

(21)出願番号

特願平11-280945

(22)出願日

平成11年10月1日(1999.10.1.)

(71)出願人 000005108

株式会社日立製作所
東京都千代田区神田駿河台四丁目6番地

(71)出願人 000233169

株式会社日立超エル・エス・アイ・システムズ
東京都小平市上水本町5丁目22番1号

(72)発明者 横山 勇治

東京都青梅市新町六丁目16番地の3 株式会社日立製作所デバイス開発センタ内

(74)代理人 100081938

弁理士 德若 光政

最終頁に続く

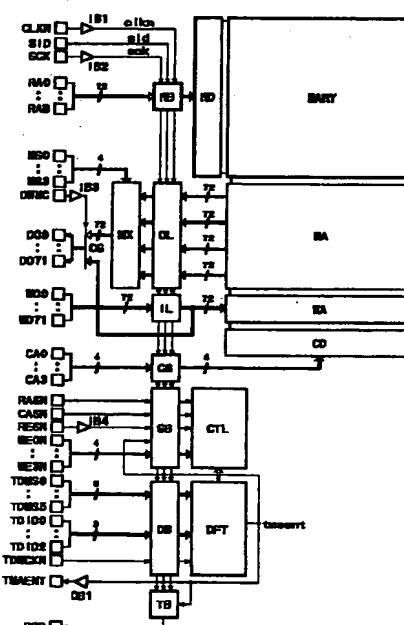
(54)【発明の名称】 半導体集積回路装置

(57)【要約】

【課題】 そのコスト上昇を招くことなく、しかもその高速動作を阻害することなく、複数のDRAMマクロセルDRAM0～DRAM7を搭載する論理混載メモリ集積回路等の試験工数を削減し、その試験精度を高める。

【解決手段】 論理混載メモリ集積回路等に搭載されるDRAMマクロセルDRAM0～DRAM7に、個別の識別番号を付与するとともに、各DRAMマクロセルのDFT回路に、例えばマクロセル識別信号T DID0～T DID2をもとに、対応するDRAMマクロセルに与えられた識別番号を認識する機能と、DFT信号として入力されるDFTエントリー信号TDMS0～TDMS5により対応するマクロセルが指定されたとき、マクロセルアクティブ信号tmaentを選択的に有効レベルとして、起動制御信号となるロウアドレスストローブ信号RASN及びカラムアドレスストローブ信号CASNをマクロセル内に選択的に取り込み、あるいは実質無効レベルに固定する機能とを持たせる。

図2 DRAMマクロセルのブロック構成



BEST AVAILABLE COPY

1

【特許請求の範囲】

【請求項1】 対応するマクロセルに与えられた識別番号を認識し、かつ該識別番号が指定されることで対応するマクロセルに対する機能試験を選択的に実施しうるテスト回路をそれぞれ具備する複数のマクロセルを搭載してなることを特徴とする半導体集積回路装置。

【請求項2】 請求項1において、

上記テスト回路は、DFT回路からなるものであって、該DFT回路は、マクロセル識別コードの組み合わせにより、対応するマクロセルに与えられた上記識別番号を認識し、DFTエントリー信号の組み合わせにより、対応するマクロセルの上記識別番号が指定されたことを判定するものであることを特徴とする半導体集積回路装置。

【請求項3】 請求項1又は請求項2において、

上記半導体集積回路装置は、論理混載メモリ集積回路であり、

上記マクロセルのそれぞれは、ダイナミック型RAMを基本構成要素とするDRAMマクロセルであることを特徴とする半導体集積回路装置。

【請求項4】 請求項1、請求項2又は請求項3において、

上記マクロセル識別コードの各ビットは、マクロセルの対応する入力端子が電源電圧供給点又は接地電位供給点に接続されることで選択的にハイレベル又はロウレベルとされるものであることを特徴とする半導体集積回路装置。

【請求項5】 請求項1、請求項2、請求項3又は請求項4において、

上記DFTエントリー信号を含むDFT信号は、上記半導体集積回路装置の動作時間を律則しない第1の信号が入力又は出力される入力端子又は出力端子を介して、上記半導体集積回路装置に入力又は出力されるものであつて、

上記半導体集積回路装置は、所定の選択制御信号に従つて上記第1の信号又は上記DFT信号を選択的に伝達する入力セレクタを具備することを特徴とする半導体集積回路装置。

【請求項6】 請求項1、請求項2、請求項3又は請求項4において、

上記半導体集積回路装置は、自己診断回路を具備するものであつて、

上記DFTエントリー信号を含むDFT信号は、上記自己診断回路により生成されるものであることを特徴とする半導体集積回路装置。

【請求項7】 請求項1、請求項2、請求項3、請求項4、請求項5又は請求項6において、

上記マクロセルのそれぞれは、所定の起動制御信号が有効レベルとされることで選択的に起動されるものであり、

2

上記DFT回路は、上記DFTエントリー信号により対応するマクロセルの上記識別番号が指定されるときマクロセルアクティブ信号を有効レベルとし、指定されないときこれを無効レベルとするものであつて、

上記起動制御信号は、上記マクロセルアクティブ信号が有効レベルとされるとき対応するマクロセルに取り込まれ、これが無効レベルとされるとき実質無効レベルに固定されるものであることを特徴とする半導体集積回路装置。

10 **【発明の詳細な説明】**

【0001】

【発明の属する技術分野】 この発明は半導体集積回路装置に関し、例えば、それぞれDFT回路を備える複数のDRAMマクロセルを搭載する論理混載メモリ集積回路ならびにその試験工数の削減及び試験精度の向上に利用して特に有効な技術に関する。

【0002】

【従来の技術】 情報蓄積キャパシタ及びアドレス選択MOSFET(金属酸化物半導体型電界効果トランジスタ)。この明細書では、MOSFETをして絶縁ゲート型電界効果トランジスタの総称とする)をそれぞれ含むダイナミック型メモリセルが格子配列されてなるメモリアレイをその基本構成要素とするダイナミック型RAM(ランダムアクセスメモリ)がある。また、ゲートアレイ等からなる論理部と、それぞれダイナミック型RAMを基本構成要素とする複数のDRAMマクロセルとを搭載する論理混載メモリ集積回路の半導体集積回路装置がある。

30 **【0003】** 一方、大容量化されつつあるダイナミック型RAM等の機能試験を効率化し、その開発時におけるTAT(Turn Around Time)を短縮する一つの手段として、DFT(Design For Test)技術があり、DFT回路を内蔵するダイナミック型RAM等が検討されている。

【0004】

【発明が解決しようとする課題】 本願発明者等は、この発明に先立つて、DFT回路を備える複数のDRAMマクロセルを搭載する論理混載メモリ集積回路の開発に従事し、次の問題点に気付いた。すなわち、この論理混載メモリ集積回路は、図9に例示されるように、例えば8個のDRAMマクロセルDRAM0～DRAM7を備え、各DRAMマクロセルは、DFT回路(DFT)を備える。DRAMマクロセルDRAM0～DRAM7は、論理部LCの出力信号たるロウアドレスストローブ信号RASN(ここで、それが有効とされるとき選択的にロウレベルとされるいわゆる反転信号等については、その名称の末尾にNを付して表す。また、例えばロウアドレスストローブ信号RASNをもとに生成される内部ロウアドレスストローブ信号rasn等の反転内部信号については、nを付して表す。以下同様)又はカラムア

ドレステロープ信号CASNがロウレベルとされることで選択的にかつ8個同時に選択状態とされ、指定アドレスに対するアクセスを実行する。

【0005】集積回路の微細化・高集積化技術が進む中、上記論理混載メモリ集積回路も大規模化・大容量化の一途にあり、相応してその所要チップ端子（ピン）数が増加しつつある。周知のように、チップ端子数の増加は、論理混載メモリ集積回路等のチップサイズを増大させ、その低コスト化の妨げとなる。

【0006】一方、論理混載メモリ集積回路等の大規模化・大容量化が進むと、搭載される複数のDRAMマクロセル等の機能試験をより効率良くしかも精度良く実施することが必要となり、結果的に各DRAMマクロセルを個別にアクセスし、テストできることが必須条件となる。しかし、従来のDRAMマクロセルに搭載されるDFT回路は、もともと単体で形成されたダイナミック型RAM等のテストに供されるものであるため、個別識別機能を持たない。

【0007】また、上記論理混載メモリ集積回路では、通常アクセス時、8個のDRAMマクロセルが同時に選択状態とされることから、各DRAMマクロセルを個別にテストするには、図9に例示されるように、各DRAMマクロセルに対応して、試験用のテストロウアドレスストロープ信号TRAS0N～TRAS7Nならびにテストカラムアドレスストロープ信号TCAS0N～TCAS7Nを入力するためのチップ端子を追加し、これらのテストロウアドレスストロープ信号及びテストカラムアドレスストロープ信号あるいは論理部LCにより生成されるロウアドレスストロープ信号RASN及びカラムアドレスストロープ信号CASNをDRAMマクロセルDRAM0～DRAM7に選択的に伝達するためのマルチプレクサMXR0～MXR7ならびにMXC0～MXC7が必要となる。

【0008】ところが、新しいチップ端子の追加は、上記のように、論理混載メモリ集積回路のチップサイズを増大させ、そのコスト上昇の原因となる。また、マルチプレクサMXR0～MXR7ならびにMXC0～MXC7が追加される位置は、論理混載メモリ集積回路の動作速度を律則する起動制御信号つまりロウアドレスストロープ信号RASN及びカラムアドレスストロープ信号CASNの信号経路にあたるため、信号経路の論理段数が数段増えて、例えば数百MHz（メガヘルツ）台を目指す論理混載メモリ集積回路の高速動作が制約を受ける。

【0009】この発明の目的は、論理混載メモリ集積回路等に搭載される複数のDRAMマクロセル等を、効率良くかつ精度良くテストしうる手段を提供することにある。この発明の他の目的は、そのコスト上昇を招くことなく、しかもその高速動作を阻害することなく、複数のDRAMマクロセルを搭載する論理混載メモリ集積回路等の試験工数を削減し、その試験精度を高めることにある。

る。

【0010】この発明の前記ならびにその他の目的と新規な特徴は、この明細書の記述及び添付図面から明らかになるであろう。

【0011】

【課題を解決するための手段】本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、次の通りである。すなわち、それぞれDFT回路を備える複数のDRAMマクロセルを搭載する論理混載メモリ集積回路等において、各DRAMマクロセルに個別の識別番号を付与するとともに、各DRAMマクロセルのDFT回路に、例えば固定レベルで入力されるマクロセル識別信号をもとに、対応するマクロセルに与えられた識別番号を認識する機能と、DFT信号として入力されるDFTエントリー信号により対応するマクロセルが指定されたとき、対応するマクロセルアクティブ信号を選択的に有効レベルとして、起動制御信号となるロウアドレスストロープ信号及びカラムアドレスストロープ信号をマクロセル内に取り込ませ、対応するマクロセルが指定されないときは、マクロセルアクティブ信号を無効レベルとして、ロウアドレスストロープ信号及びカラムアドレスストロープ信号を実質無効レベルに固定する機能とを持たせる。

【0012】上記した手段によれば、論理混載メモリ集積回路等に新しいチップ端子を追加することなく、しかもその動作時間を律則する信号経路にマルチプレクサ等の回路を追加することなく、論理混載メモリ集積回路等に搭載されるDRAMマクロセル等の機能試験を、各DRAMマクロセル等に内蔵されるDFT回路により個別に、しかも効率良く実施できる。この結果、そのコスト上昇を招き、高速動作を阻害することなく、複数のDRAMマクロセルを搭載する論理混載メモリ集積回路等の試験工数を削減し、その試験精度を高めることができる。

【0013】

【発明の実施の形態】図1には、この発明が適用された論理混載メモリ集積回路（半導体集積回路装置）の一実施例の基板配置図が示されている。同図をもとに、まずこの実施例の論理混載メモリ集積回路のブロック構成及び基板配置の概要について説明する。なお、この実施例の論理混載メモリ集積回路は、特に制限されないが、例えば数百メガHz台のマシンサイクルで高速動作しうるコンピュータシステムの所定のボードに搭載され、例えばそのキャッシュメモリを構成する。また、論理混載メモリ集積回路の基板配置に関する以下の記述では、図1の位置関係をもって半導体基板CHIP面での上下左右を表す。

【0014】図1において、本実施例の論理混載メモリ集積回路は、特に制限されないが、半導体基板CHIPの上辺に沿って配置される4個のDRAMマクロセルD

RAM0～DRAM3と、その下辺に沿って配置される4個のDRAMマクロセルDRAM4～DRAM7とを備える。これらのDRAMマクロセルは、後述するように、テスト回路たるDFT回路(DFT)をそれぞれ備え、例えば64KW(キロワード)×292b(ビット)の記憶容量をそれぞれ有する。

【0015】論理混載メモリ集積回路は、さらに、各DRAMマクロセルの内側にそれぞれ配置される8個のSRAMマクロセルSRAM0～SRAM7と、半導体基板CHIPの中央部に配置されるもう1個のSRAMマクロセルSRAM8とを備える。SRAMマクロセルSRAM0～SRAM3ならびにSRAM4～SRAM7の内側には、半導体基板CHIPの横の中心線に沿って、多数の入出力セルIOCが列状に配置され、これらの入出力セルIOC及びSRAMマクロセルの間には、図示されない多数のゲートアレイとチップ端子に対応するバンプBUMPとを含む論理部LCが配置される。言うまでもなく、バンプBUMPは、各入出力セルIOC内にも配置される。また、論理部LCのゲートアレイは、ユーザ仕様に基づいて組み合わされ、所定の論理回路を構成する。

【0016】図2には、図1の論理混載メモリ集積回路に搭載されるDRAMマクロセルの一実施例のブロック図が示されている。同図をもとに、論理混載メモリ集積回路に搭載されるDRAMマクロセルDRAM0～DRAM7の構成及び動作の概要について説明する。なお、DRAMマクロセルDRAM0～DRAM7は、付与される識別番号が異なることを除き、すべて同一構成とされる。

【0017】図2において、DRAMマクロセルは、そのレイアウト所要面積の大半を占めて配置されるメモリアレイMARYをその基本構成要素とする。メモリアレイMARYは、特に制限されないが、図の水平方向に平行して配置される実質4,096本のワード線と、図の垂直方向に平行して配置される実質1,168組の相補ビット線とを含む。これらのワード線及び相補ビット線の交点には、それぞれ情報蓄積キャパシタ及び adres選択MOSFETを含む合計19,136,512個のダイナミック型メモリセルが格子状に配置される。

【0018】メモリアレイMARYを構成するワード線は、図の左方においてロウアドレスデコーダRDに結合され、択一的にハイレベルの選択レベルとされる。ロウアドレスデコーダRDには、ロウアドレスバッファRBから図示されない12ビットの内部ロウアドレス信号が供給される。また、ロウアドレスバッファRBには、論理混載メモリ集積回路の図示されないアクセスユニットからマクロセル入力端子RA0～RABを介して12ビットのロウアドレスRA0～RAB(ここで、例えばロウアドレス等の10を超える追番については、アルファベットで表す場合がある。以下同様)が供給される。ま

た、マクロセル入力端子CLKNから入力バッファIB1を介してクロック信号CLKNつまり内部クロック信号clknが供給されるとともに、マクロセル入力端子SIDからスキャンインデータSIDつまり内部スキャンインデータsidが供給され、さらにマクロセル入力端子SCKから入力バッファIB2を介してスキャンクロック信号SCKつまり内部スキャンクロック信号ckが供給される。

【0019】なお、内部クロック信号clkn及び内部スキャンクロック信号ckは、後述する出力データラッチOL、入力データラッチIL、カラムアドレスバッファCB、制御信号バッファSB、DFT信号バッファDBならびにマクロセルアクティブ信号バッファTBに共通に供給される。また、内部スキャンインデータsidは、これらのバッファを構成するフリップフロップのスキャンイン端子及びスキャンアウト端子をチーン結合する形で連結され、試験診断のためのスキャン経路を構成する。該スキャン経路の終端は、後述するマクロセル出力端子SODに結合され、スキャンアウトデータSODとなる。各バッファの構成及びスキャン経路ならびにその用途等については、後で詳細に説明する。

【0020】ロウアドレスバッファRBは、DRAMマクロセルが通常のアクセスモードで選択状態とされるとき、前段のアクセスユニットからマクロセル入力端子RA0～RABを介して入力されるロウアドレスRA0～RABを内部クロック信号clknに従って取り込み、保持するとともに、これらのロウアドレスをもとに、それぞれが非反転及び反転信号からなる内部ロウアドレス信号を生成して、ロウアドレスデコーダRDに供給する。また、DRAMマクロセルが所定のテストモードで選択状態とされるときには、マクロセル入力端子SIDからシリアルに入力されるスキャンインデータSIDを内部スキャンロック信号ckに従って順次取り込み、シフトして、出力データラッチOLに伝達する。

【0021】ロウアドレスデコーダRDは、ロウアドレスバッファRBから供給される12ビットの内部ロウアドレス信号をアコードして、メモリアレイMARYの対応するワード線を択一的にハイレベルの選択レベルとする。これにより、選択ワード線に結合される実質1,168個のメモリセルの微小読み出し信号が対応する相補ビット線に出力され、メモリアレイMARYの図示されないセンサアンプによってハイレベル又はロウレベルの2値読み出し信号とされる。

【0022】次に、メモリアレイMARYを構成する相補ビット線は、図の下方においてメインアンプMA及びライトアンプWAに結合される。これらのメインアンプMA及びライトアンプWAには、特に制限されないが、カラムアドレスデコーダCDから図示されないそれぞれ16ビットの読み出し用又は書き込み用ビット線選択信号が供給される。また、メインアンプMAから出力され

る合計292ビットの読み出しデータは、72ビットずつ四つのグループに分割されて出力データラッチOLに供給され、ライトアンプWAには、入力データラッチILから72ビット単位で書き込みデータが供給される。カラムアドレスデコーダCDには、カラムアドレスバッファCBから4ビットの内部カラムアドレス信号が供給され、カラムアドレスバッファCBには、マクロセル入力端子CA0～CA3を介して4ビットのカラムアドレスCA0～CA3が供給される。

【0023】出力データラッチOL、入力データラッチILならびにカラムアドレスバッファCBには、上記のように、内部クロック信号c1kn、内部スキャンインデータsidならびに内部スキャンクロック信号scckが供給される。また、出力データラッチOLにより保持される合計292ビットの読み出しデータは、73ビットずつグループ分割されたままマルチブレクサMXに供給され、このマルチブレクサMXには、マクロセル入力端子MS0～MS3を介して4ビットの出力選択信号MS0～MS3が供給される。マルチブレクサMXにより選択された73ビットの読み出しデータは、出力セレクタOSの一方の入力端子に供給される。出力セレクタOSの他方の入力端子には、入力データラッチILにより保持される73ビットの書き込みデータが供給され、その制御端子には、マクロセル入力端子DWMCを介して試験出力制御信号DWMCが供給される。

【0024】なお、試験出力制御信号DWMCは、DRAMマクロセルが通常の読み出し又は書き込みモードとされるときロウレベルの無効レベルとされ、所定のテストモードとされるときハイレベルの有効レベルとされる。また、ライトアンプWAには、マクロセル入力端子WE0N～WE3Nを介して入力される4ビットのライトイネーブル信号WE0N～WE3Nをもとに生成される図示されない内部ライトイネーブル信号we0n～we3nが供給される。

【0025】カラムアドレスバッファCBは、マクロセル入力端子CA0～CA3を介して入力されるカラムアドレスCA0～CA3を、内部クロック信号c1knに従って取り込み、保持するとともに、これらのカラムアドレスをもとにそれぞれ非反転及び反転信号からなる内部カラムアドレス信号を生成し、カラムアドレスデコーダCDに供給する。カラムアドレスデコーダCDは、カラムアドレスバッファCBから供給される内部カラムアドレス信号をデコードして、メインアンプMAに対する読み出し用ビット線選択信号あるいはライトアンプWAに対する書き込み用ビット線選択信号を逐一的にハイレベルの選択レベルとする。

【0026】メインアンプMAは、DRAMマクロセルが通常の読み出しモードで選択状態とされるとき、メモリアレイMARYの選択ワード線に結合される1,168個のメモリセルから対応する相補ビット線を介して出

力される読み出し信号を、読み出し用ビット線選択信号に従って288ビットずつ選択して増幅し、出力データラッチOLに伝達する。このとき、出力データラッチOLは、メインアンプMAから出力される読み出しデータを、内部クロック信号c1knに従って取り込み、保持するとともに、72ビットずつ四つのグループに分割し、マルチブレクサMXに伝達する。マルチブレクサMXは、出力選択信号MS0～MS3に従ってメインアンプMAから伝達される読み出しデータを72ビット選択し、出力セレクタOSに伝達する。出力セレクタOSは、試験出力制御信号DWMCのロウレベルを受けてマルチブレクサMXから伝達される72ビットの読み出しデータを選択し、マクロセル出力端子DO0～DO71を介して出力する。

【0027】一方、入力データラッチILは、DRAMマクロセルが通常の書き込みMOSFETで選択状態とされるとき、外部のアクセスユニットからマクロセル入力端子WD0～WD71を介して入力される72ビットの書き込みデータを、内部クロック信号c1knに従って取り込み、保持するとともに、ライトアンプWAを構成する288個の単位ライトアンプのうち、書き込み用ビット線選択信号により指定される72個の単位ライトアンプに伝達する。このとき、ライトアンプWAの各単位ライトアンプは、内部ライトイネーブル信号we0n～we3nのハイレベルを受けて72個ずつ選択的に動作状態となり、保持するそれぞれ72ビット、合計288ビットの書き込みデータをメモリアレイMARYの選択ワード線に結合される72個ないし288個のメモリセルに書き込む。

【0028】DRAMマクロセルは、さらに、メモリ制御回路CTL及びDFT回路(DFT)と、制御信号バッファSB、DFT信号バッファDBならびにマクロセルアクティブ信号バッファTBとを備える。このうち、制御信号バッファSBには、マクロセル入力端子RASN、CASN、RESN(及び入力バッファIB4)ならびにWE0N～WE3Nを介して、起動制御信号となるロウアドレスストローブ信号RASN、カラムアドレスストローブ信号CASN、リセット制御信号RESNならびにライトイネーブル信号WE0N～WE3Nが供給されるとともに、DFT回路から内部マクロセルアクティブ信号tmaentが供給される。また、メモリ制御回路CTLには、制御信号バッファSBから、各起動制御信号に対応する図示されない内部ロウアドレスストローブ信号rasn、内部カラムアドレスストローブ信号casn、内部リセット制御信号resnならびに内部ライトイネーブル信号we0n～we3nが供給される。

【0029】一方、DFT信号バッファDBには、マクロセル入力端子TDMS0～TDMS5を介してDFT信号の一部たる6ビットのDFTエントリー信号TDM

S0～TDMS5が供給されるとともに、マクロセル入力端子T DID0～T DID2ならびにTDMCKNを介してマクロセル識別信号T DID0～T DID2ならびにDFTクロック信号TDMCKNが供給される。また、DFT回路には、DFT信号バッファDBを介して上記DFTエントリー信号TDMS0～TDMS5、マクロセル識別信号T DID0～T DID2ならびにDFTクロック信号TDMCKNが供給され、マクロセルアクティブ信号バッファTBには、DFT回路から内部マクロセルアクティブ信号tmaentが供給される。

【0030】制御信号バッファSB、DFT信号バッファDBならびにマクロセルアクティブ信号バッファTBには、前述のように、内部クロック信号clk_n、内部スキャンインデータs_idならびに内部スキャンクロック信号sckが供給される。また、DFT回路によって生成される内部マクロセルアクティブ信号tmaentは、出力バッファOB1及びマクロセル出力端子TMAENTを経た後、マクロセルアクティブ信号TMAENTとして外部に出力され、マクロセルアクティブ信号バッファTBのスキャンアウト出力信号SODは、スキャンアウトデータSODとしてマクロセル出力端子SODから出力される。

【0031】制御信号バッファSBは、外部のアクセスユニットからマクロセル入力端子RASN、CASN、RESN(及び入力バッファIB4)ならびにWE0N～WE3Nを介して供給されるロウアドレスストローブ信号RASN、カラムアドレスストローブ信号CAS_N、リセット制御信号RESNならびにライトイネーブル信号WE0N～WE3Nを内部クロック信号clk_nに従って取り込み、保持するとともに、これらの起動制御信号をもとに内部ロウアドレスストローブ信号rasn、内部カラムアドレスストローブ信号cas_n、内部リセット制御信号resnならびに内部ライトイネーブル信号we0n～we3nを生成して、メモリ制御回路CTLに供給する。なお、内部ライトイネーブル信号we0n～we3nは、前述のように、ライトアンプWAにも供給される。

【0032】メモリ制御回路CTLは、制御信号バッファSBから供給される内部ロウアドレスストローブ信号rasn、内部カラムアドレスストローブ信号cas_n、内部リセット制御信号resnならびに内部ライトイネーブル信号we0n～we3nをもとに、DRAMマクロセルの動作モードを識別して、図示されない内部制御信号を選択的に生成し、DRAMマクロセルの各部に供給する。

【0033】一方、DFT信号バッファDBは、例えばウエハ状態で行われる論理混載メモリ集積回路のプローブテスト時において、外部の試験装置から論理混載メモリ集積回路の論理部LCならびにDFT信号バッファDBを介して入力されるDFT信号つまりDFTエントリ

ー信号TDMS0～TDMS5ならびにマクロセル識別信号T DID0～T DID2を、DFTクロック信号TDMCKNに従って取り込み、DFT回路に伝達する。また、DFT回路は、これらのDFT信号をもとに所定の試験動作を実施し、その結果を外部試験装置に報告する。

【0034】この実施例において、論理混載メモリ集積回路に搭載される8個のDRAMマクロセルDRAM0～DRAM7には、その追番に対応する0ないし7の識別番号がそれぞれ与えられ、各DRAMマクロセルのマクロセル入力端子T DID0～T DID2は、対応するDRAMマクロセルに与えられた識別番号の2進値に対応して、選択的に電源電圧供給点VDD又は接地電位供給点GNDに結合される。また、DFTエントリー信号TDMS0～TDMS5により指定されるテストモードの中には、DRAMマクロセルDRAM0～DRAM7を選択的にアクティブ状態とするためのモードが含まれ、これによって特定のDRAMマクロセルを指定しながら個別に機能試験を実施できるものとされる。制御信号バッファSB及びDFT信号バッファDBの具体的構成とDFT回路のテストモードならびにその指定方法等については、後で詳細に説明する。

【0035】図3には、図2のDRAMマクロセルに含まれる制御信号バッファSBの一実施例の回路図が示されている。同図をもとに、この実施例のDRAMマクロセルの制御信号バッファSBの具体的構成及び動作について説明する。

【0036】図3において、制御信号バッファSBは、特に制限されないが、マクロセル入力端子RASN、CASN、RESNならびにWE0N～WE3Nに対応して設けられる合計7個のフリップフロップFF1～FF7を含む。これらのフリップフロップは、ともにエッジトリガ型とされ、そのクロック入力端子CKN及びSKには、前記内部クロック信号clk_n及び内部スキャンクロック信号sckがそれぞれ共通に供給される。また、フリップフロップFF3を除く6個のフリップフロップFF1～FF2ならびにFF4～FF7のリセット入力端子RESNには、マクロセル入力端子RESNから入力バッファIB4を介して内部リセット制御信号resnが共通に供給される。さらに、フリップフロップFF1～FF7のスキャンイン端子SID及びスキャンアウト端子SODは、順次チェーン結合され、これによって試験診断用のスキャン経路が形成される。

【0037】制御信号バッファSBを構成するフリップフロップFF1及びFF2のデータ入力端子INには、オア(OR)ゲートOG1及びOG2の出力信号がそれぞれ供給され、そのデータ出力端子DO OUTにおける非反転出力信号は、内部ロウアドレスストローブ信号rasn又は内部カラムアドレスストローブ信号cas_nとして後段のメモリ制御回路CTLに供給される。オアゲ

11

ートOG1及びOG2の一方の入力端子は、対応するマクロセル入力端子RASN又はCASNにそれぞれ結合され、その他の入力端子には、前記内部マクロセルアクティブ信号tmaentのインバータV1による反転信号が共通に供給される。

【0038】これにより、オアゲートOG1及びOG2の出力信号は、内部マクロセルアクティブ信号tmaentが有効レベルつまりハイレベルとされ、かつ対応するロウアドレスストローブ信号RASN又はカラムアドレスストローブ信号CASNが有効レベルつまりロウレベルとされることで、選択的にハイレベルとされる。言い換えるならば、オアゲートOG1及びOG2の出力信号は、内部マクロセルアクティブ信号tmaentが無効レベルつまりロウレベルとされるとき、ロウアドレスストローブ信号RASN又はカラムアドレスストローブ信号CASNの論理レベルに関係なくハイレベルに固定される訳であって、このとき、ロウアドレスストローブ信号RASN又はカラムアドレスストローブ信号CASNは、実質的な無効レベルつまりハイレベルに固定される形となる。

【0039】オアゲートOG1及びOG2の出力信号のハイレベル及びロウレベルは、特に制限されないが、内部クロック信号clknの立ち下がりエッジ又は内部スキャンクロック信号sckの立ち上がりエッジを受けてフリップフロップFF1及びFF2に取り込まれ、内部ロウアドレスストローブ信号rasn又は内部カラムアドレスストローブ信号casnとなる。なお、内部マクロセルアクティブ信号tmaentの生成条件等については、後で説明する。

【0040】周知のように、ロウアドレスストローブ信号RASN及びカラムアドレスストローブ信号CASNは、DRAMマクロセルの基本構成要素となるダイナミック型RAMを選択的に動作状態とするための起動制御信号であって、後段のメモリ制御回路CTLは、内部ロウアドレスストローブ信号rasn及び内部カラムアドレスストローブ信号casnのロウレベルを受けて選択的にDRAMマクロセルを動作状態とする。内部マクロセルアクティブ信号tmaentがロウレベルとされるとき、DRAMマクロセルはロウアドレスストローブ信号RASN及びカラムアドレスストローブ信号CASNの論理レベルに関係なく非選択状態とされ、アクセスユニット又は試験装置からのアクセスを受理しない。

【0041】次に、制御信号バッファSBを構成するフリップフロップFF3のデータ入出力端子INには、入力バッファIB4を介してリセット制御信号RESNが供給され、そのデータ出力端子OUTは開放状態とされる。入力バッファIB4の出力信号は、そのまま内部リセット制御信号resnとして後段のメモリ制御回路CTLに供給されるとともに、各バッファに供給される。

【0042】つまり、フリップフロップFF3は、上記

12

フリップフロップFF1及びFF2のように対応するリセット制御信号RESNを内部クロック信号clknに同期化するためのものではなく、リセット制御信号RESNをスキャン経路に取り込み、DRAMマクロセルの試験診断に供するためのものとなる。

【0043】一方、制御信号バッファSBを構成するフリップフロップFF4～FF7のデータ入出力端子INは、対応するライトイネーブル信号WE0N～WE3Nにそれぞれ結合され、そのデータ出力端子OUTにおける非反転出力信号は、それぞれ内部ライトイネーブル信号we0n～we3nとなる。これらの内部ライトイネーブル信号we0n～we3nは、後段のメモリセル制御回路CTLに供給されるとともに、ライトアンプWAにも供給される。

【0044】図4には、図2のDRAMマクロセルに含まれるDFT信号バッファDB及び関連部の一実施例の部分的な回路図が示されている。同図をもとに、この実施例のDRAMマクロセルのDFT信号バッファDB及びマクロセルアクティブ信号バッファTBの具体的構成及び動作について説明する。

【0045】図4において、DFT信号バッファDBは、特に制限されないが、マクロセル入力端子TDMS0～TDMS5, T DID0～T DID2ならびにTDMCKNに対応して設けられるエッジトリガ型の10個のフリップフロップFF11～FF20を含み、マクロセルアクティブ信号バッファTBは、マクロセル出力端子TMAENTに対応して設けられるエッジトリガ型の1個のフリップフロップFF21を含む。これらのフリップフロップは、前記フリップフロップFF3と同様に、すべてスキャン経路による試験診断時のみ使用され、リセット入力端子を備えない。また、そのクロック入力端子CKN及びSCKには、内部クロック信号clkn及び内部スキャンクロック信号sckがそれぞれ共通に供給され、そのスキャンイン端子SID及びスキャンアウト端子SODは、試験診断用のスキャン経路を構成すべく順次チェーン結合される。

【0046】DFT信号バッファDBを構成するフリップフロップFF11～FF20のデータ入力端子INは、対応するマクロセル入力端子TDMS0～TDMS5, T DID0～T DID2あるいはTDMCKNにそれぞれ結合され、そのデータ出力端子OUTは、すべて開放状態とされる。したがって、DFTエントリー信号TDMS0～TDMS5, マクロセル識別信号T DID0～T DID2ならびにDFTクロック信号TDMCKNは、DFT信号バッファDBの対応するフリップフロップを介すことなくそのまま後段のDFT回路に伝達される。なお、DFTクロック信号TDMCKNは、前述のように、各バッファを構成するフリップフロップのクロック入力端子SCKにも供給される。

【0047】一方、マクロセルアクティブ信号バッファ

50

TBを構成するフリップフロップFF21のデータ入力端子INには、論理部LCから内部マクロセルアクティブ信号tmaentが供給され、そのデータ出力端子OUTは開放状態とされる。内部マクロセルアクティブ信号tmaentは、さらに直接出力バッファOB1の入力端子に供給され、マクロセル出力端子TMAENTからマクロセルアクティブ信号TMAENTとして試験装置に出力される。

【0048】なお、この実施例の論理混載メモリ集積回路では、後述するように、DRAMマクロセルDRAM0～DRAM7に対し、その追番に対応する0ないし7の識別番号がそれぞれ付与され、各DRAMマクロセルのマクロセル入力端子TDID0～TDID2は、識別番号の論理値に対応する組み合わせで、電源電圧供給点VDD又は接地電位供給点GNDにそれぞれ選択的に結合される。

【0049】各DRAMマクロセルのDFT回路は、マクロセル入力端子TDID0～TDID2、つまりこれらのマクロセル入力端子を介して入力されるマクロセル識別信号TDID0～TDID2をもとに、対応するDRAMマクロセルに付与された識別番号を認識する。そして、論理混載メモリ集積回路が所定のテストモードとされ、かつDFTエントリー信号TDMS0～TDMS5の所定ビットによって対応するDRAMマクロセルの識別番号が指定されるとき、対応するDRAMマクロセルに関する機能試験を個別に実施しうる機能を持つ。

【0050】一方、各DRAMマクロセルのDFT回路は、論理混載メモリ集積回路が通常の動作モードとされるとき、その出力信号たる内部マクロセルアクティブ信号tmaentをロウレベルとし、これを受けてマクロセル出力端子TMAENTにはロウレベルのマクロセルアクティブ信号TMAENTが出力される。また、論理混載メモリ集積回路が所定のテストモードとされ、かつDFTエントリー信号TDMS0～TDMS5により対応するDRAMマクロセルの識別番号が指定されるとき、内部マクロセルアクティブ信号tmaentを選択的にハイレベルとし、これを受けてマクロセル出力端子TMAENTにはハイレベルのマクロセルアクティブ信号TMAENTが出力される。このとき、DFTエントリー信号TDMS0～TDMS5によって他のDRAMマクロセルの識別番号が指定されるとき、内部マクロセルアクティブ信号tmaentつまりマクロセルアクティブ信号TMAENTはロウレベルのままとなる。

【0051】前記図3で示した通り、マクロセルアクティブ信号TMAENTがハイレベルとされるとき、論理部LCから供給されるロウアドレスストローブ信号RASN及びカラムアドレスストローブ信号CASNは、そのまま内部ロウアドレスストローブ信号rasn又は内部カラムアドレスストローブ信号casnとして各DRAMマクロセルのメモリ制御回路CTLに伝達され、そ

のロウレベルを受けて各DRAMマクロセルが選択的に動作状態とされる。また、マクロセルアクティブ信号TMAENTがロウレベルとされるとき、ロウアドレスストローブ信号RASN及びカラムアドレスストローブ信号CASNは、実質的にハイレベル固定され、各DRAMマクロセルは非動作状態に固定される。

【0052】図5には、図1の論理混載メモリ集積回路に含まれるDRAMマクロセルDRAM0～DRAM7の第1の実施例の接続図が示されている。また、図6には、DRAMマクロセルDRAM0～DRAM7に入力されるマクロセル識別信号TDMS0～TDMS5の一実施例の論理条件図が示され、図7には、DFTエントリー信号TDID0～TDID2の一実施例の部分的な論理条件図が示されている。これらの図をもとに、この実施例の論理混載メモリ集積回路におけるDRAMマクロセルDRAM0～DRAM7の接続形態と、DFTエントリー信号TDMS0～TDMS5ならびにマクロセル識別信号TDID0～TDID2の論理条件及び試験動作の概要ならびにその特徴等について説明する。な

お、図5には、各DRAMマクロセルに設けられる多数のマクロセル入力端子及びマクロセル出力端子のうち、本発明に関係するものののみを例示した。

【0053】図5において、DRAMマクロセルDRAM0～DRAM7のマクロセル入力端子RASN及びCASNには、論理混載メモリ集積回路の論理部LCからロウアドレスストローブ信号RASN及びカラムアドレスストローブ信号CASNがそれぞれ共通に供給される。周知のように、ロウアドレスストローブ信号RASN及びカラムアドレスストローブ信号CASNは、DRAMマクロセルDRAM0～DRAM7の基本構成要素たるダイナミック型RAMを選択的に動作状態とするための起動制御信号とされる。したがって、すべてのDRAMマクロセルに共通のロウアドレスストローブ信号RASN及びカラムアドレスストローブ信号CASNが供給される本実施例の論理混載メモリ集積回路では、通常の読み出し又は書き込みモード時、8個のDRAMマクロセルDRAM0～DRAM7が一齊に動作状態とされ、あるいは非動作状態とされる。

【0054】次に、DRAMマクロセルDRAM0～DRAM7のマクロセル入力端子TDMS0～TDMS5は、論理部LCの前段に設けられる入力セレクタSLの対応する右下部入出力端子にそれぞれ結合される。この入力セレクタSLの右上部入出力端子は、論理部LCに結合される。また、その左部入出力端子は、対応するチップ入出力端子PB0～PBjにそれぞれ結合され、その選択制御端子には、チップ入出力端子PSLを介して選択制御信号PSLが供給される。論理混載メモリ集積回路は、さらにi+1個のチップ入出力端子PA0～PAiを備え、これらのチップ入出力端子は、直接論理部LCに結合される。

15

【0055】入力セレクタSLは、例えば論理混載メモリ集積回路が通常の動作モードとされ、選択制御信号PSLがロウレベルとされるとき、チップ入出力端子PB0～PBjと論理部LCとの間を接続状態とする。また、論理混載メモリ集積回路が所定のテストモードとされ、選択制御信号PSLがハイレベルとされるときは、チップ入出力端子PB0～PBjとDRAMマクロセルDRAM0～DRAM7との間を直接接続し、DFT回路による試験動作を可能とする。

【0056】この実施例において、チップ入出力端子PA0～PAiを介して論理混載メモリ集積回路に入力又は出力される信号は、例えばクロック信号や起動制御信号等のように、論理混載メモリ集積回路の動作速度を律則する高速の信号とされる。しかし、チップ入出力端子PB0～PBjを介して入力又は出力される信号（第1の信号）は、論理混載メモリ集積回路の動作速度を律則しない比較的低速の信号であって、チップ入出力端子PB0～PBjの実質的な機能が入力セレクタSLにより切り換えられたとしても、論理混載メモリ集積回路の動作速度に深刻な影響はなく、逆に、チップ入出力端子PB0～PBjがDFT回路による動作試験に必要な多数の信号を入力又は出力するために兼用されることで、論理混載メモリ集積回路の所要端子数が削減され、その低コスト化が図られる。

【0057】一方、この実施例の論理混載メモリ集積回路に搭載されるDRAMマクロセルDRAM0～DRAM7には、前述のように、その追番に対応する0ないし7の識別番号がそれぞれ付与され、各DRAMマクロセルのマクロセル入力端子TDID0～TDID2は、その識別番号に対応する組み合わせで、電源電圧供給点VDD又は接地電位供給点GNDに選択的に結合される。

【0058】すなわち、図6に示されるように、例えばその追番に対応する0の識別番号が与えられたDRAMマクロセルDRAM0では、マクロセル入力端子TDID0～TDID2がすべて接地電位供給点GNDに結合される。したがって、マクロセル識別信号TDID0～TDID2の各ビットはすべてロウレベルつまり論理“0”とされ、その論理値は0の2進値に対応する“000”となる。また、例えばその追番に対応する1の識別番号が与えられたDRAMマクロセルDRAM1では、マクロセル入力端子TDID0が電源電圧供給点VDDに結合され、他のマクロセル入力端子TDID1及びTDID2は接地電位供給点GNDに結合される。したがって、マクロセル識別信号TDID0が論理“1”とされ、マクロセル識別信号TDID1及びTDID2は論理“0”的まとされて、その論理値は1の2進値に対応する“001”となる。

【0059】一方、例えばその追番に対応する7の識別番号が与えられたDRAMマクロセルDRAM7では、マクロセル入力端子TDID0～TDID2がすべて電

16

源電圧供給点VDDに結合される。したがって、マクロセル識別信号TDID0～TDID2の各ビットはすべてハイレベルつまり論理“1”とされ、その論理値は7の2進値に対応する“111”となる。

【0060】マクロセル入力端子TDID0～TDID2を介して入力されるマクロセル識別信号TDID0～TDID2は、前述のように、DFT信号バッファDBを介して各DRAMマクロセルのDFT回路に伝達される。また、DFT回路は、これらのマクロセル識別信号TDID0～TDID2をもとに、対応するDRAMマクロセルに与えられた識別番号を認識するとともに、論理混載メモリ集積回路が所定のテストモードとされると、その識別番号とマクロセル入力端子TDMS0～TDMS5を介して入力されるDFTエントリー信号TDMS0～TDMS5とを比較照合して、これらのDFTエントリー信号により対応するDRAMマクロセルが試験対象として指定されるとき、その出力信号たる内部マクロセルアクティブ信号tmaintを選択的にハイレベルとする。

【0061】なお、この実施例のDRAMマクロセルのDFT回路は、いわゆるコンカレント機能を有し、例えば上記DFTエントリー信号TDMS0～TDMS5によるDRAMマクロセルの指定は、順次追加する形で複数のDRAMマクロセルに対して行うことが可能とされる。これにより、複数のDRAMマクロセルを機能試験の対象として指定し、並行して試験動作を実施することができる。

【0062】ここで、マクロセル入力端子TDMS0～TDMS5を介して入力されるDFTエントリー信号TDMS0～TDMS5は、図7に例示されるように、例えばDFT回路による機能試験の開始又は停止や試験種別ならびに試験対象となるDRAMマクロセル等を選択的に指定するために供される。

【0063】すなわち、各DRAMマクロセルのDFT回路は、図7の第1項に示されるように、DFTエントリー信号TDMS0～TDMS5がすべてロウレベルつまり論理“0”とされ、その論理値が“000000”とされるとき、DFTモードエントリーを判定し、以後に指定される試験動作の開始に備える。また、図7の第2項に示されるように、DFTエントリー信号TDMS0～TDMS5がすべてハイレベルつまり論理“1”とされ、その論理値が“111111”とされるときは、DFTモードエグジットを判定し、実施中の試験動作を停止する。さらに、図7の第3項に示されるように、DFTエントリー信号TDMS0が論理“1”とされ、他のDFTエントリー信号TDMS1～TDMS5が論理“0”とされて、その論理値が“000001”とされるときには、コンカレントモードクリアを判定し、上記コンカレント指定のみを解除する。

【0064】一方、図7の第4項ないし第8項に示され

るよう、DFTエントリー信号TDMS0～TDMS5の論理値が“000010”“000011”“000100”“000101”あるいは“000110”とされると、テスト所要時間短縮のための特別な試験モード、すなわち例え「2K(キロ)リフレッシュディスターブテスト」「1Kリフレッシュディスターブテスト」「全マットアクティブテスト」「ロウ(行)コピー“1”」あるいは「ロウコピー“0”」が指定されたことをそれぞれ判定し、対応する試験動作を開始する。

【0065】さらに、図8の第9項ないし第16項に示されるように、DFTエントリー信号TDMS0～TDMS5の論理値が“000111”“001000”“001001”“001010”“001011”“001100”“001101”あるいは“001110”とされるとき、マクロセル入力端子T DID0～T DID2に供給されるマクロセル識別信号T DID0～T DID2をもとに、対応するDRAMマクロセルDRAM0ないしDRAM7が試験対象として逐一的に指定されたことをそれぞれ判定し、前記内部マクロセルアクティブ信号tmaentをそれぞれ選択的にハイレベル又はロウレベルとする。

【0066】以上のように、この実施例の論理混載メモリ集積回路は、それぞれDFT回路を含む8個のDRAMマクロセルDRAM0～DRAM7を備えるとともに、これらのDRAMマクロセルには、その追番に対応する0ないし7の識別番号がそれぞれ付与される。また、各DRAMマクロセルには、マクロセル入力端子T DID0～T DID2が設けられ、これらのマクロセル入力端子は、対応するDRAMマクロセルに与えられた識別番号の論理値に対応して、選択的に電源電圧供給点VDD又は接地電位供給点GNDに結合される。さらに、各DRAMマクロセルのDFT回路により実施されるテストモードには、DRAMマクロセルDRAM0～DRAM7を試験対象として逐一的に指定するための「DRAM0アクティブ」ないし「DRAM7アクティブ」モードが追加される。

【0067】DRAMマクロセルDRAM0～DRAM7に設けられるDFT回路は、マクロセル入力端子T DID0～T DID2を介して入力されるマクロセル識別信号T DID0～T DID2をもとに、対応するDRAMマクロセルに与えられた識別番号を認識する機能を有し、さらに上記「DRAM0アクティブ」ないし「DRAM7アクティブ」モードを受けて対応するDRAMマクロセルが試験対象として指定されたことを判定する機能を有する。

【0068】この結果、論理混載メモリ集積回路に新しいチップ端子を追加することなく、しかもその動作時間を律則する信号経路に試験動作のためのセレクタつまりマルチブレクサ等を追加することなく、DRAMマクロセルDRAM0～DRAM7に内蔵されるDFT回路に

より各DRAMマクロセルの機能試験を個別に、しかも効率良く実施することができる。この結果、そのコスト上昇を招き、高速動作を阻害することなく、複数のDRAMマクロセルを搭載する論理混載メモリ集積回路の試験工数を削減し、その試験精度を高めることができる。

【0069】以上の実施例から得られる作用効果は、下記の通りである。すなわち、

(1) それぞれDFT回路を備える複数のDRAMマクロセルを搭載する論理混載メモリ集積回路等において、各DRAMマクロセルに個別の識別番号を付与するとともに、各DRAMマクロセルのDFT回路に、例えば固定レベルで入力されるマクロセル識別信号をもとに、対応するマクロセルに与えられた識別番号を認識する機能と、DFT信号として入力されるDFTエントリー信号により対応するマクロセルが指定されたとき、対応するマクロセルアクティブ信号を有効レベルとして、起動制御信号となるロウアドレスストローブ信号及びカラムアドレスストローブ信号をマクロセル内に取り込ませ、DFTエントリー信号により対応するマクロセルが指定されないとときは、マクロセルアクティブ信号を無効レベルとして、ロウアドレスストローブ信号及びカラムアドレスストローブ信号を実質無効レベルに固定する機能とを持たせることで、論理混載メモリ集積回路等に新しいチップ端子を追加することなく、またその動作時間を律則するような信号経路にマルチブレクサ等の回路を追加することなく、DRAMマクロセル等の機能試験を、各DRAMマクロセル等に内蔵されるDFT回路により個別に、しかも効率良く実施することができるという効果を得られる。

【0070】(2) 上記(1)項により、そのコスト上昇を招き、その高速動作を阻害することなく、複数のDRAMマクロセルを搭載する論理混載メモリ集積回路等の試験工数を削減することができるという効果が得られる。

(3) 上記(1)項により、論理混載メモリ集積回路等の試験精度を高めることができるという効果が得られる。

【0071】以上、本発明者によってなされた発明を実施例に基づき具体的に説明したが、この発明は、上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることは言うまでもない。例えば、図1において、論理混載メモリ集積回路には、任意数のDRAMマクロセル及びSRAMマクロセルを搭載することができるし、DFT回路は、SRAMマクロセルにも設けることができる。また、論理混載メモリ集積回路ならびにそのDRAMマクロセルDRAM0～DRAM7が形成される半導体基板CHIPの形状は任意であるし、各ブロックの配置位置やレイアウトサイズも任意である。

【0072】図2において、DRAMマクロセルDRA

M0～DRAM7のメモリアレイMARYは、任意数のワード線及び相補ビット線を備えることができるし、その記憶容量も任意に設定できる。また、各DRAMマクロセルのマクロセル入力端子T DID0～T DID2を介して入力されるマクロセル識別信号のビット数は、論理混載メモリ集積回路に搭載されるDRAMマクロセルの個数に応じて変化する。これらのマクロセル識別信号は、例えば所定のレジスタに予め書き込むことによって各DRAMマクロセルに与えられるものとしてもよい。DRAMマクロセルは、任意のブロック構成をとりうるし、アドレス信号や起動制御信号の組み合わせならびにその有効レベル等は、任意の実施形態をとりうる。

【0073】図3において、制御信号バッファSBを構成するフリップフロップFF1～FF7は、特にエッジトリガ型であることを必須条件とはしないし、その各端子の組み合わせ及び名称等も、種々の実施形態をとりうる。また、フリップフロップFF1及びFF2の前段に設けられるオアゲートOG1及びOG2は、必要に応じて他の論理ゲートに置き換えることができるし、対応するフリップフロップ内に取り込んでもよい。図4において、マクロセル入力端子T DID0～T DID2と電源電圧供給点VDD及び接地電位供給点GNDとの間の接続切り換えは、マスタースライス形態とすることができます。制御信号バッファSB、DFT信号バッファDBならびにマクロセルアクティブ信号バッファTBの具体的構成は、基本的な論理条件が変わらない限り種々の実施形態をとりうる。

【0074】図5において、DRAMマクロセルDRAM0～DRAM7の起動形態は、例えばこれらのDRAMマクロセルを4個ずつ組み合わせて動作状態とするなど、任意に設定することができる。また、論理混載メモリ集積回路がBIST(Built In Self Test)等の自己診断回路を備える場合、図8に例示されるように、DFT信号となるDFTエンタリー信号TDMS0～TDMS5等をこの自己診断回路BISTにより生成してもよい。図6において、マクロセル識別信号T DID0～T DID2の論理条件は、任意に設定できる。図7において、DFT回路によるテストモードの種別ならびにDFTエンタリー信号TDMS0～TDMS5の組み合わせ等は、種々の実施例が考えられる。

【0075】以上の説明では、主として本発明者によってなされた発明をその背景となつた利用分野である複数のDRAMマクロセルを搭載する論理混載メモリ集積回路に適用した場合について説明したが、それに限定されるものではなく、例えば、DRAMマクロセル等のメモリマクロセルのみを搭載するメモリ集積回路装置や、算術論理演算ユニット等の各種デジタルユニットをマクロセルとして搭載するシングルチップマイクロコンピュータ等にも適用できる。この発明は、少なくともDFT回路を備えるマクロセルを搭載する半導体集積回路装置な

らびにこのような半導体集積回路装置を含む装置又はシステムに広く適用できる。

【0076】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記の通りである。すなわち、それぞれDFT回路を備える複数のDRAMマクロセルを搭載する論理混載メモリ集積回路等において、各DRAMマクロセルに個別の識別番号を付与するとともに、そのDFT回路に、例えば固定レベルで入力されるマクロセル識別信号をもとに、対応するマクロセルに与えられた識別番号を認識する機能と、DFT信号として入力されるDFTエンタリー信号により対応するマクロセルが指定されたとき、対応するマクロセルアクティブ信号を有効レベルとして、起動制御信号となるロウアドレスストローブ信号及びカラムアドレスストローブ信号をマクロセル内に取り込ませ、DFTエンタリー信号により対応するマクロセルが指定されないときは、マクロセルアクティブ信号を無効レベルとして、ロウアドレスストローブ信号及びカラムアドレスストローブ信号を実質無効レベルに固定する機能とを持たせる。

【0077】これにより、論理混載メモリ集積回路等に新しいチップ端子を追加することなく、またその動作時間を律則するような信号経路にマルチプレクサ等の回路を追加することなく、論理混載メモリ集積回路等に搭載されるDRAMマクロセル等の機能試験を、各DRAMマクロセル等に内蔵されるDFT回路により個別に、しかも効率良く実施することができる。この結果、そのコスト上昇を招き、高速動作を阻害することなく、複数のDRAMマクロセルを搭載する論理混載メモリ集積回路等の試験工数を削減し、その試験精度を高めることができる。

【図面の簡単な説明】

【図1】この発明が適用された論理混載メモリ集積回路の一実施例を示す基板配置図である。

【図2】図1の論理混載メモリ集積回路に搭載されるDRAMマクロセルの一実施例を示すブロック図である。

【図3】図2のDRAMマクロセルに含まれる制御信号バッファの一実施例を示す回路図である。

【図4】図2のDRAMマクロセルに含まれるDFT信号バッファ及び関連部の一実施例を示す部分的な回路図である。

【図5】図1の論理混載メモリ集積回路に搭載されるDRAMマクロセルの第1の実施例を示す接続図である。

【図6】図2のDRAMマクロセルに入力されるマクロセル識別信号の一実施例を示す論理条件図である。

【図7】図2のDRAMマクロセルに入力されるDFTエンタリー信号の一実施例を示す部分的な論理条件図である。

【図8】図1の論理混載メモリ集積回路に搭載されるD

21

RAMマクロセルの第2の実施例を示す接続図である。

【図9】この発明に先立って本願発明者等が開発した論理混載メモリ集積回路に搭載されるDRAMマクロセルの一例を示す接続図である。

【符号の説明】

CHIP…半導体基板(チップ)、DRAM0～DRA M7…DRAMマクロセル、DFT…DFT回路、SR AM0～SRAM7…SRAMマクロセル、LC…論理部、BUMP…バンプ、IOC…入出力セル。MARY…メモリアレイ、RD…ロウアドレスデコーダ、RB…ロウアドレスバッファ、MA…メインアンプ、WA…ライトアンプ、CD…カラムアドレスデコーダ、CB…カラムアドレスバッファ、IL…入力データラッチ、OL…出力データラッチ、MX…マルチブレクサ、OS…出力セレクタ、CTL…メモリ制御回路、DFT…DFT回路、SB…制御信号バッファ、DB…DFT信号バッファ、TB…マクロセルアクティブ信号バッファ。CLKN…クロック信号又はそのマクロセル入力端子、SID…スキャンインデータ又はそのマクロセル入力端子、SCK…スキャンクロック信号又はそのマクロセル入力端子、RA0～RAB…ロウアドレス又はそのマクロセル入力端子、MS0～MS3…出力選択信号又はそのマクロセル入力端子、DWMC…試験出力制御信号又はそのマクロセル入力端子、DO0～DO71…出力データ又はそのマクロセル出力端子、ID0～ID71…入力データ又はそのマクロセル入力端子、CA0～CA3…カラムアドレス又はそのマクロセル入力端子、RASN…ロウアドレスストローブ信号又はそのマクロセル入力端子、CASN…カラムアドレスストローブ信号又はそ*

22

*のマクロセル入力端子、RESN…リセット制御信号又はそのマクロセル入力端子、WE0N～WE3N…ライトイネーブル信号又はそのマクロセル入力端子、TDM S0～TDM S5…DFTエントリー信号又はそのマクロセル入力端子、T DID0～T DID2…マクロセル識別信号又はそのマクロセル入力端子、TDMCKN…DFTクロック信号又はそのマクロセル入力端子、TMAENT…マクロセルアクティブ信号又はそのマクロセル出力端子、SOD…スキャンアウトデータ又はそのマクロセル出力端子。clkn…内部クロック信号、sc k…内部スキャンクロック信号、resn…内部リセット制御信号、tmaent…内部マクロセルアクティブ信号、sid…内部スキャンインデータ、sod…内部スキャンアウトデータ、rasn…内部ロウアドレスストローブ信号、casn…内部カラムアドレスストローブ信号、we0n～we3n…内部ライトイネーブル信号。VDD…電源電圧又はその供給点、GND…接地電位又はその供給点。IB1～IB4…入力バッファ、OB1…出力バッファ、FF1～FF7, FF11～FF21…エッジトリガ型フリップフロップ、V1…インバータ、OG1～OG2…オア(OR)ゲート。PA0～PAi, PB0～PBj…チップ入出力信号又はチップ入出力端子、PSL…選択制御信号又はそのチップ入力端子、SL…入力セレクタ、BIST…自己診断回路、TRAS0N～TRAS7N…テストロウアドレスストローブ信号又はそのチップ入力端子、TCAS0N～TCAS7N…テストカラムアドレスストローブ信号又はそのチップ入力端子、MXR0～MXR7, MXC0～MXC7…マルチブレクサ。

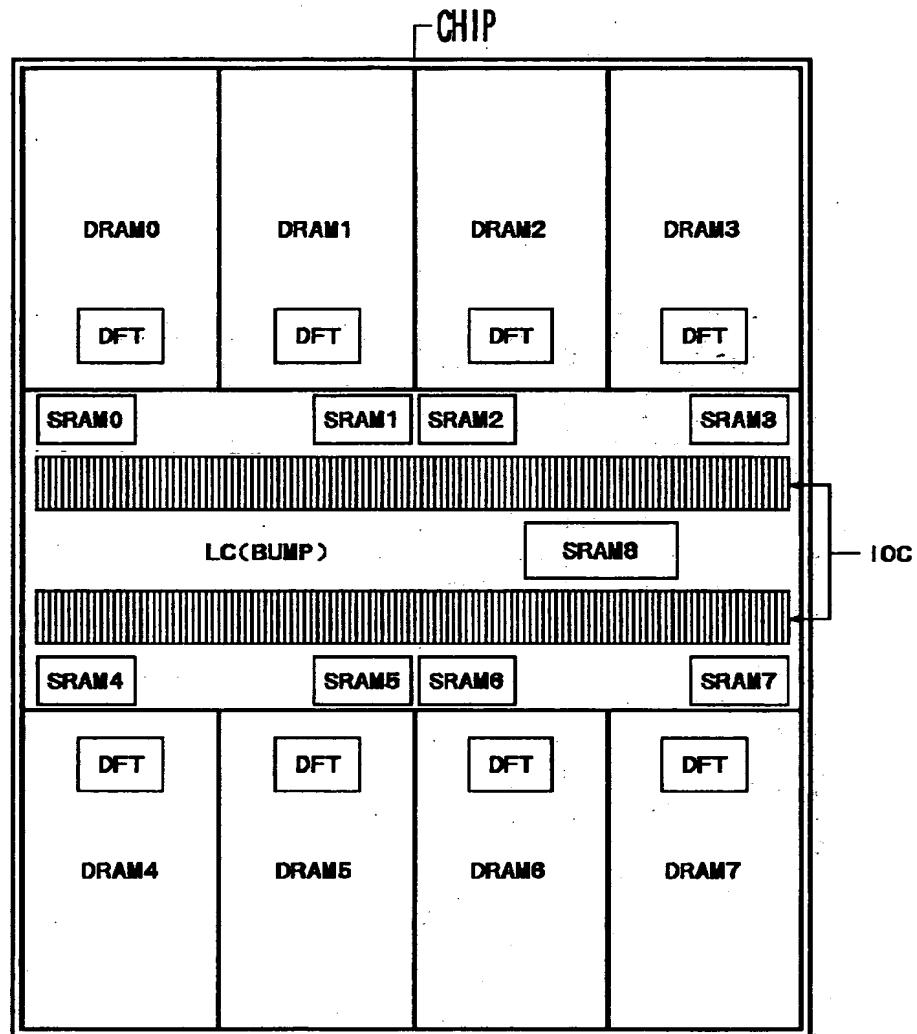
【図6】

図6 マクロセル識別信号の論理条件

マクロセル	マクロセル識別信号		
	T DID2	T DID1	T DID0
DRAM0	GND	GND	GND
DRAM1	GND	GND	VDD
DRAM2	GND	VDD	GND
DRAM3	GND	VDD	VDD
DRAM4	VDD	GND	GND
DRAM5	VDD	GND	VDD
DRAM6	VDD	VDD	GND
DRAM7	VDD	VDD	VDD

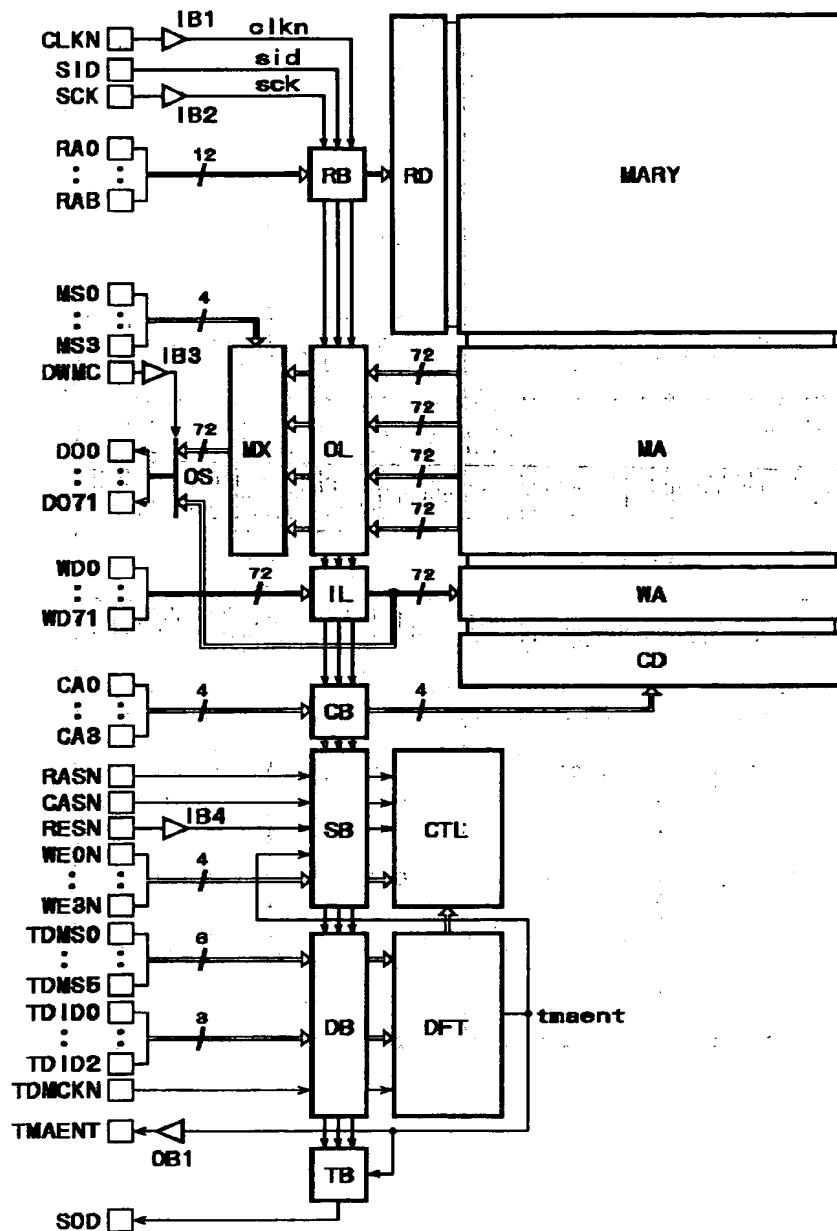
【図1】

図1 論理混載メモリ集積回路の基板配置



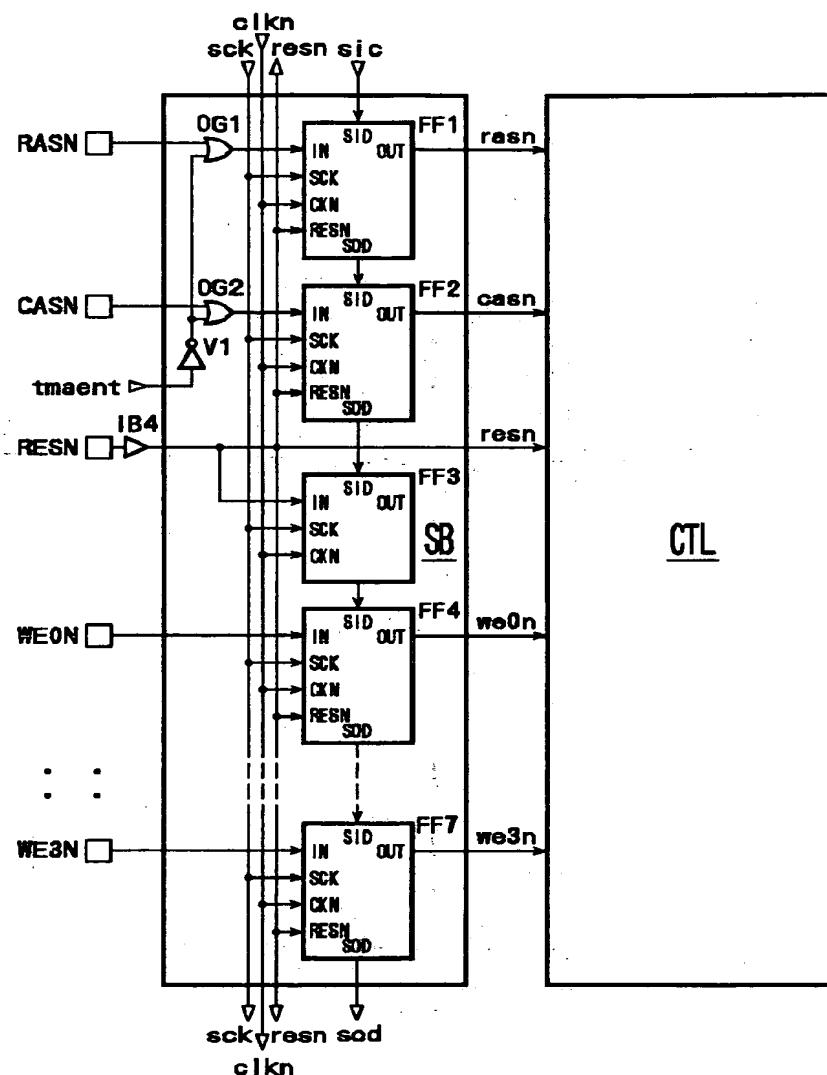
【図2】

図2 DRAMマクロセルのブロック構成



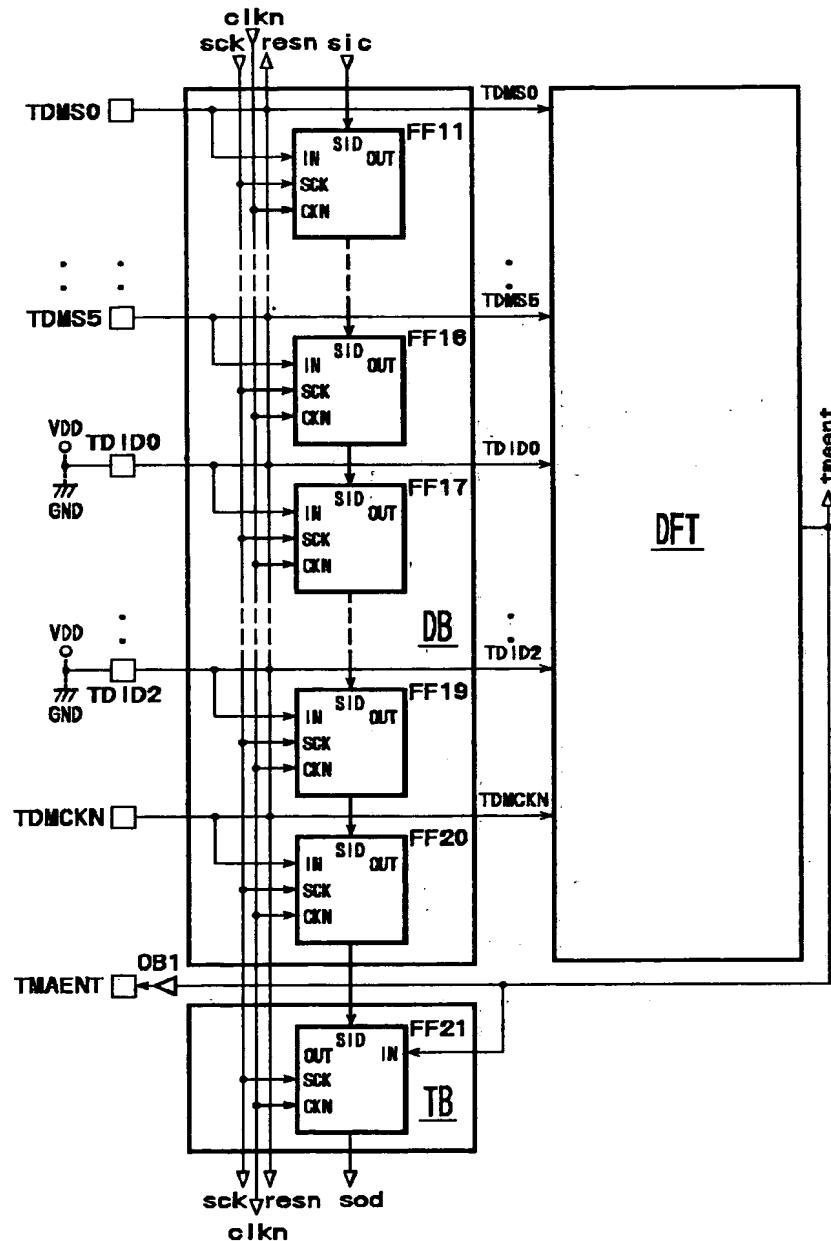
【図3】

図3 制御信号バッファの回路構成



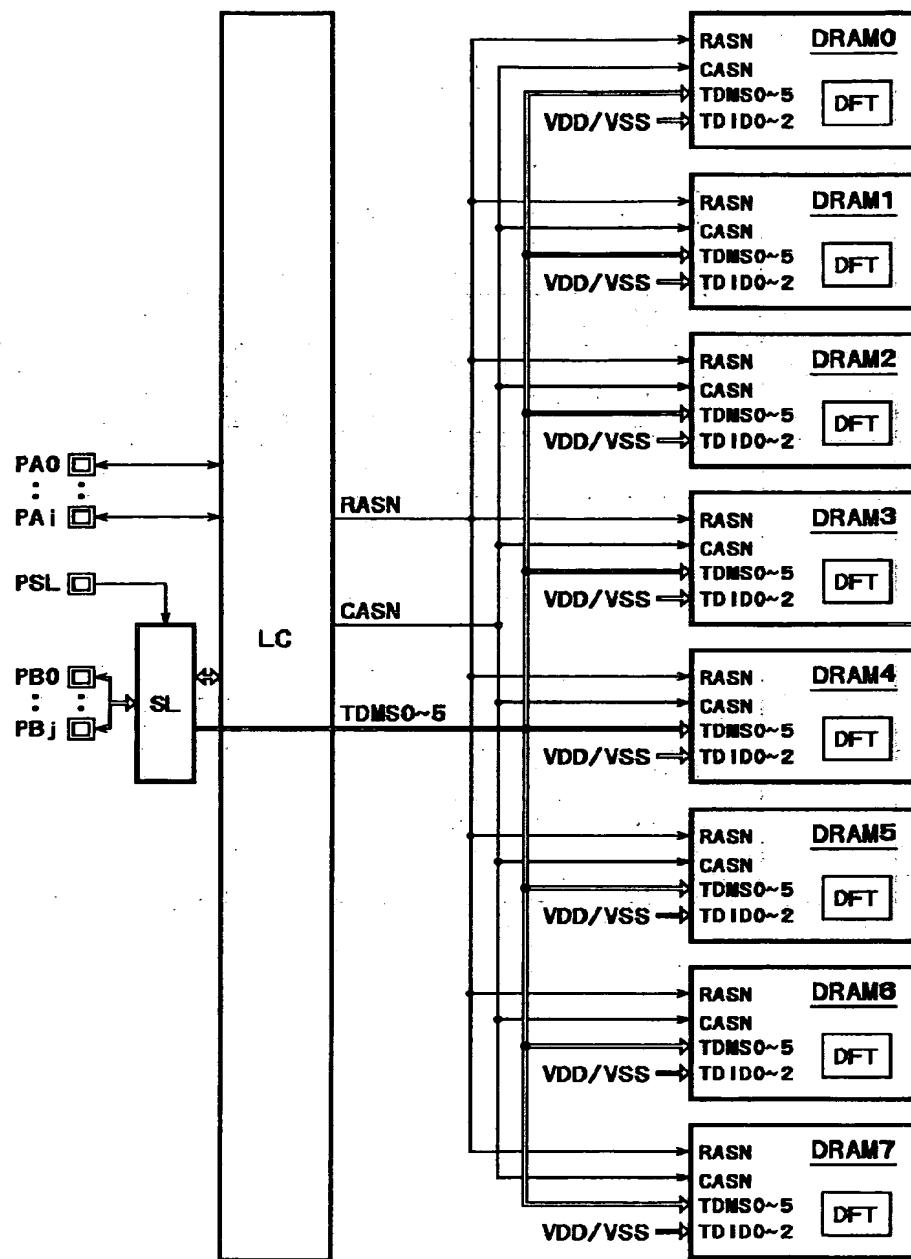
【図4】

図4 DFT信号バッファ及び関連部の部分回路構成



【図5】

図5 DRAMマクロセルの接続形態（実施例1）

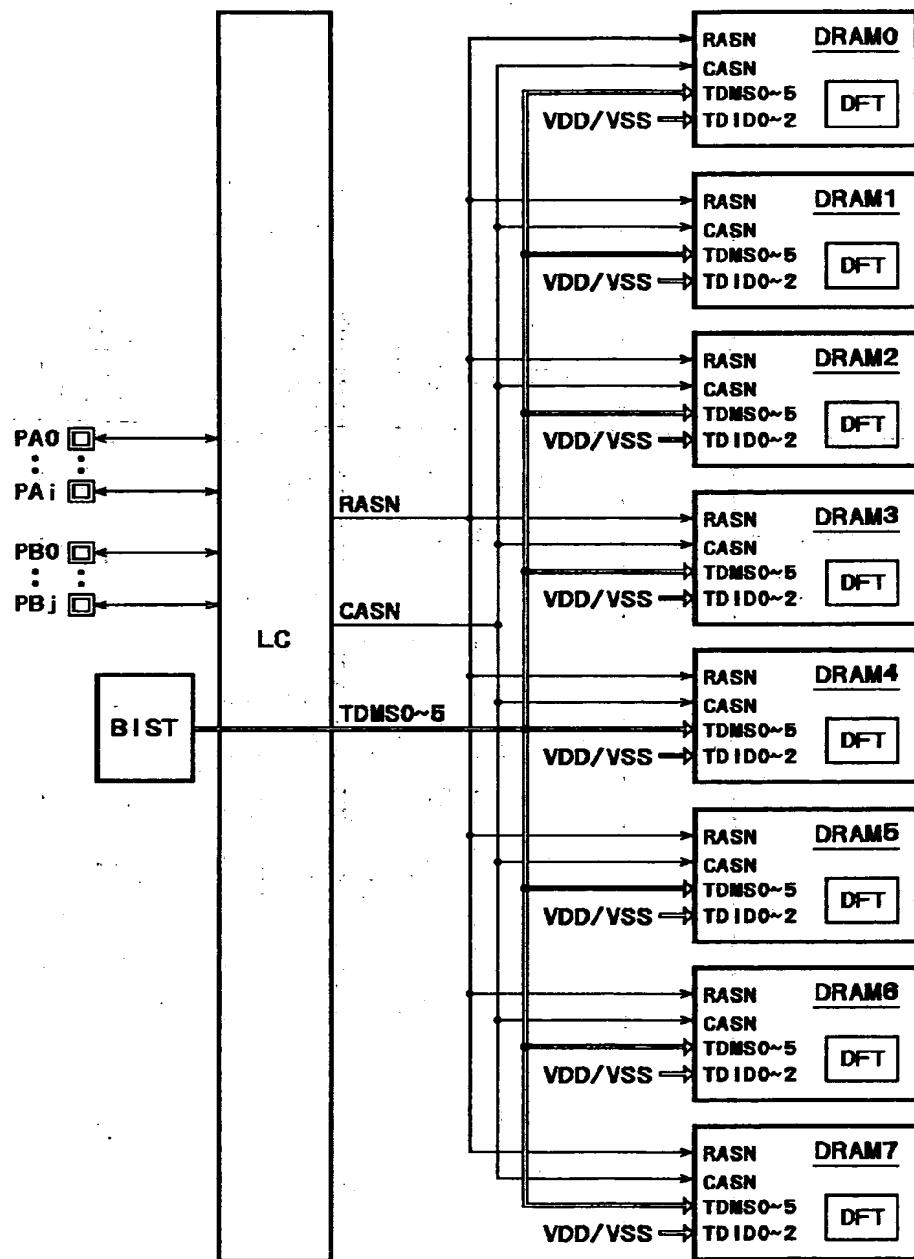


【図7】

図7 DFTエントリー信号の論理条件（部分）

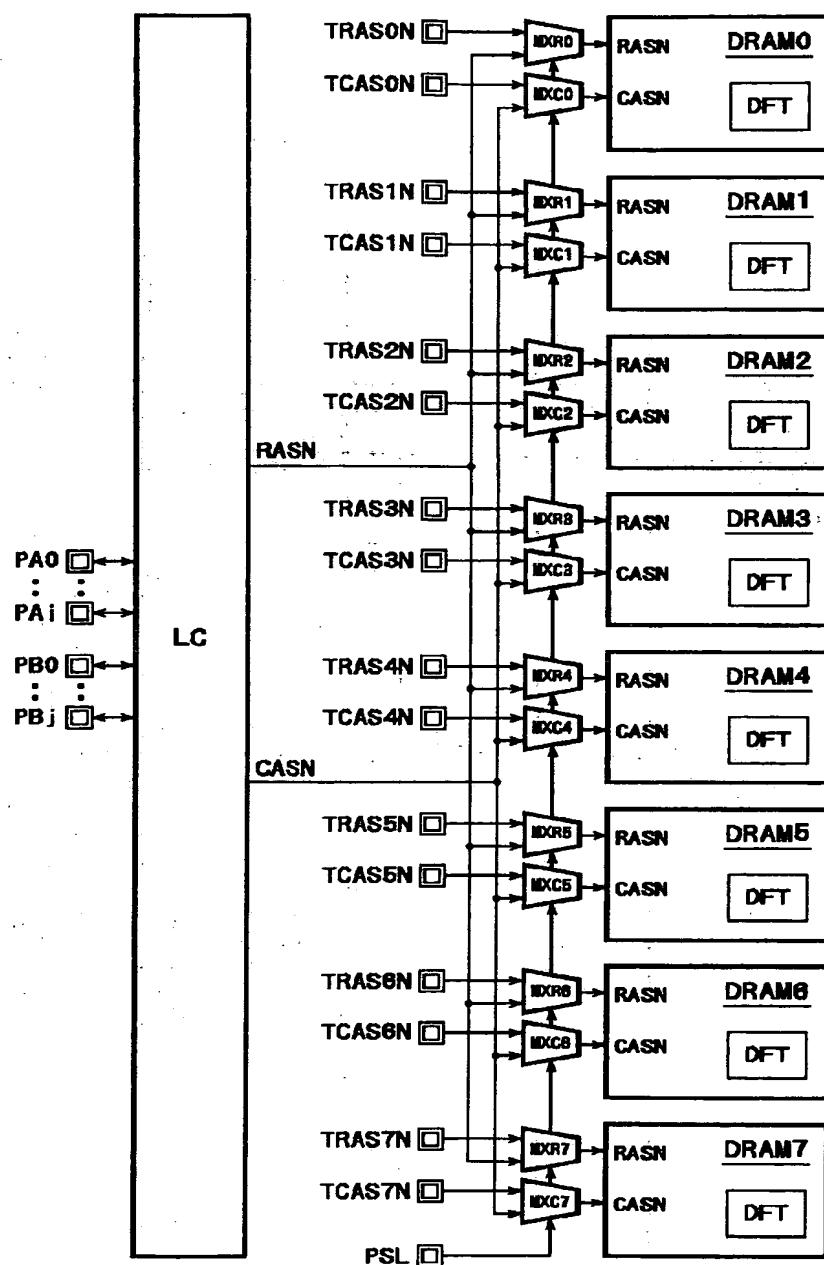
No.	モード種別	処理内容	DFTエントリー信号					
			TDMS0	TDMS1	TDMS2	TDMS3	TDMS4	TDMS5
1	基本	DFTモードエントリー	0	0	0	0	0	0
2		DFTモードエグジット	1	1	1	1	1	1
3		コンカレントモードクリア	0	0	0	0	0	1
4	テスト短縮	2Kリフレッシュ ディスターープテスト	0	0	0	0	1	0
5		1Kリフレッシュ ディスターープテスト	0	0	0	0	1	1
6		全マットアクティブテスト	0	0	0	1	0	0
7		ロウコピー "1"	0	0	0	1	0	1
8		ロウコピー "0"	0	0	0	1	1	0
9		DRAM0アクティブ	0	0	0	1	1	1
10	マクロ指定	DRAM1アクティブ	0	0	1	0	0	0
11		DRAM2アクティブ	0	0	1	0	0	1
12		DRAM3アクティブ	0	0	1	0	1	0
13		DRAM4アクティブ	0	0	1	0	1	1
14		DRAM5アクティブ	0	0	1	1	0	0
15		DRAM6アクティブ	0	0	1	1	0	1
16		DRAM7アクティブ	0	0	1	1	1	0

【図8】

図8 DRAMマクロセルの接続形態（実施例2）

【図9】

図9 DRAMマクロセルの接続形態



フロントページの続き

(72)発明者 田中 洋介
東京都青梅市新町六丁目16番地の3 株式
会社日立製作所デバイス開発センタ内

(72)発明者 片山 雅弘
東京都小平市上水本町5丁目22番1号 株
式会社日立超エル・エス・アイ・システム
ズ内

F ターム(参考) 2G032 AA07 AB01 AK11 AK14
5B024 AA15 BA21 BA29 CA07 CA16
EA01
5L106 AA01 AA15 DD12 GG05 GG07
9A001 BB03 BB05 JJ49 KK31 LL06

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record.**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADING TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.